



**NuDAQ**

**PCI-9820**

2-CH, 130MS/s, 14-bit  
同期サンプリング・デジタイザー  
ユーザース・マニュアル

**Manual Rev. 1.01**

**Revision Date:** December 19, 2003

**Part No:** 50-11133-100

**Proofread:** EG-Techno Solutions Corporation



Copyright 2003 ADLINK Technology Inc.  
All Rights Reserved.

本書の情報は信頼性、デザイン、機能などの改善で予告なしに変更されることがあります。また製造元側のコミットメントを示すものではありません。

製造元は、本製品または本書の使用、または不使用によって発生したいかなる直接的、間接的、特別な、付随的、または結果的損害に対して、たとえこのような損害が生じる可能性について報告を受けていたとしても、一切責任を負いません。

本書には著作権で保護された独占情報が含まれています。すべての権利が留保されます。本書の一部または全部を製造元の文書による事前の許可なしに、機械的、電子的、またはその他のいかなる方法で複製することを禁止します。

## 商標

NuDAQ®, NuIPC®, NuDAM®, NuPRO®は、ADLINK Technology Inc.の所有する登録商標です。その他、本書に記載されている製品名は認証目的のためだけで、各社の商標または登録商標となっている場合があります。

# 目次

<b>1 章 概説</b>	7
1.1. 特徴	9
1.2. アプリケーション	9
1.3. 仕様	10
1.4. ソフトウェアサポート	13
1.4.1 プログラミングライブラリ	13
1.4.2 DAQ-LVIEW PnP ドライバー	13
1.4.3 WD-OCX ActiveX コントロール	14
1.5. ブロック図	14
<b>2 章 インストレーション</b>	15
2.1 パッケージの中身	15
2.2 開封	16
2.3 PCI 構成	17
<b>3 章 信号接続</b>	18
3.1 コネクタ	18
3.2 アナログ入力のインピーダンス設定	20
3.2.1 アナログ入力のインピーダンス設定	20
<b>4 章 動作論理</b>	21
4.1 アナログ入力信号ソースコントロール	21
4.2 A/D サンプリングレートとタイムベースコントロール	21
4.2.1 外部正弦波クロックソース	22
4.2.2 「Ping-Pong」モードを使って 130MS/s サンプリング	22
4.3 トリガーモード	22
4.3.1 ポストトリガー収集	22
4.3.2 プレトリガー収集	23
4.3.3 ミドルトリガー収集	24
4.3.4 ディレイトリガー収集	25
4.3.5 リトリガー付きディレイトリガー収集のポストトリガー	25
4.4 トリガーソース	26
4.4.1 ソフトウェアトリガー	26
4.4.2 外部アナログトリガー	26
4.4.3 外部デジタルトリガー	26
4.5 データ転送	28
4.6 AI データフォーマット	29



4.7	複数の PCI-9820 を同期させる	30
4.7.1	SSI_タイムベース	30
4.7.2	SSI_TRIG1	30
4.7.3	SSI_TRIG2 と SSI_START_OP	31
4.7.4	SSI から異なるトリガースソースを比較する	33
4.8	自動校正	33

## 表

表 3-1	信号配置	-----	19
表 3-2	半田スイッチの位置	-----	20
表 4-1	アナログトリガーの理想的な転送特性	-----	26
表 4-2	アナログ入力電圧とデジタル出力コード	-----	29
表 4-3	SSI タイミング信号と対応する機能の概要	-----	30



図 1-1	PCI-9820 ブロック図	14
図 3-1	コネクタ位置	19
図 3-2	半田スイッチの位置	20
図 4-1	ポストトリガー	22
図 4-2	プレトリガー (指定量のデータが得られた後、トリガーイベントが起こります)	23
図4-3	プレトリガー (操作を開始した後、いつでもトリガー信号を受け入れます)	23
図 4-4	プレトリガー(データの指定量が得られるまで、トリガー信号は無効となります)	24
図 4-5	ミドルトリガー	24
図 4-6	ディレイトリガー	25
図 4-7	リトリガー付きポストトリガー	25
図 4-8	アナログトリガー条件	27
図 4-9	外部デジタルトリガー入力	27
図 4-10	TRG I/O 出力信号タイミング	27
図 4-11	データ転送の為のスキャッタギャザ DMA	28
図 4-12	SSI_TRIG1 出力信号タイミング	31
図 4-13	SSI_TRIG1 入力信号タイミング	31
図 4-14	SSI_TRIG2 出力信号タイミング	31
図 4-15	SSI_TRIG2 入力信号タイミング	32
図 4-16	SSI_START_OP 出力信号タイミング	32
図 4-17	SSI_START_OP 入力信号タイミング	32

## 1章 概説

ADLINK PCI-9820 は、高容量 SODIMM SDRAM メモリを搭載した、65MS/s 高分解能 PCI デジタイザです。プログラム可能な入力範囲や、ユーザー指定可能な入力インピーダンスを含む、柔軟な入力設定をサポートしています。高容量、オンボードデータ収集用メモリを搭載することによって、PCI の 132MB/s の帯域幅に制限されることなく、長時間波形を記録することができます。

PCI-9820 は、データ格納の為に大容量メモリを必要とするソフトウェア無線アプリケーションなどの信号デジタル化アプリケーションだけではなく、レーダーや超音波アプリケーションといった高速波形収集アプリケーションに最適です。

### アナログ入力

PCI-9820 は、2 つのアナログ入力チャンネルを備えています。各々のチャンネルの小信号帯域幅は、ナイキストサンプリング論理を満たす 30MHz を上回ります。入力範囲は  $\pm 5V$ 、または、 $\pm 1V$  でプログラム可能です。PCI-9820 は 14 ビットの A/D 分解能をサポートしているので、時間領域および周波数領域の両方のアプリケーションに最適です。

### 収集システム

ADLINK PCI-9820 は、一組の 65MS/s、14 ビットのパイプライン ADCs を使って入力信号をデジタル化し、データ取得のための内部 60MHz タイムベースを備えています。最大リアルタイムサンプリングレートは、内部タイムベースでは 60MS/s、外部タイムベースでは 65MS/s です。" Ping-Pong " モードを使えば、最大サンプリングレートは、内部タイムベースで 120MS/s、外部タイムベースで 130MS/s となります。

### 取得メモリ

PCI-9820 は、128MB から 512MB の SODIMM SDRAM をサポートしています。デジタル化されたデータは、ホスト・メモリへ転送される前にオンボードの SDRAM に保存されます。

PCI-9820 は、スキャッタギャザのバスマスタリングデータ DMA を使用して、データをホストメモリに移動させます。PCI-9820 からのデータ・スループットが利用可能な PCI 帯域幅を下回る場合、3k サンプル FIFO もオンボードで搭載しているので、データは SDRAM リアルタイムにバイパスして、ホストメモリに直接転送されます。

## トリガリング

PCI-9820 は、アナログおよびデジタルといった柔軟なトリガリング機能を搭載しています。アナログトリガリングは、両方の入力チャンネル上で Rising または Falling エッジのプログラム可能なトリガ閾値をサポートしています。

SSI インターフェースまたは外部 SMB コネクタから 5V/TTL デジタルトリガが送信され、複数のデバイスが同期化されます。

トリガイイベント前後のデータを取得するには、ポストトリガ、プレトリガ、ディレイトリガ、ミドルトリガの各モードが利用出来ます。PCI-9820 は、繰り返しトリガを取得する機能を搭載しているため、極端に短いリアム間隔で継続的に出力されるトリガイイベントを伴うマルチセグメントのデータも取得出来ます。

## 複数の計測器の同期化

PCI-9820 の同期化バス（システム同期化インターフェース、SSI）は、一台または複数台の PCI-9820 デバイスのタイミング信号とトリガ信号をルーティングします。SSI は共通のトリガ信号、または複数のデバイスの取得に役立つ信号サンプルクロックによって、様々な取得ハードウェアの同期化を可能にします。

## 校正

PCI-9820 の自動校正機能はトリム DAC で行われ、アナログの入力チャンネルのオフセットとゲインエラーを校正します。一度校正処理が実行されると、校正定数はボードが必要とする時にロードし、使用できるように EEPROM に格納されます。

校正は全てソフトウェア命令によって自動的に実行されるので、ボードを校正するためにトリムポットを調整する必要はありません。



## 1.1 特徴

32-bit、3.3V または 5V PCI バスをサポート

14-bit A/D 分解能

内部タイムベースで、各チャンネル最高 60MS/s のサンプリングレート

外部タイムベースで、各チャンネル最高 65MS/s のサンプリングレート

「Ping-Pong」モードを使用し、シングルチャンネルの収集で、最大 130MS/s サンプリングレート

2-CH の同時サンプリング、シングルエンドアナログ入力

±1V と ±5V のプログラム可能な入力範囲

50 のユーザー選択可能な入力インピーダンスまたは高い入力インピーダンス

>30MHz -3dB のバンド幅

最大 512MB のオンボード SODIMM SDRAM

スキャタギャザ DMA データ転送

アナログ / デジタルトリガリング

自動校正機能

複数枚のカードの同期化

コンパクト、ハーフサイズ PCB

## 1.2 アプリケーション

コミュニケーション・システム分析

ソフトウェア無線

自動テスト

RF 信号分析

一時的な信号取り込み

ATE

実験室の自動化

生物学測定

### 1.3 仕様

#### アナログ入力

チャンネル数：2 同時サンプリングシングルエンド  
 分解能：14 ビット  
 最大サンプリングレート  
 内部タイムベースで各チャンネル 60MS/s  
 外部タイムベースで各チャンネル 65MS/s  
 内部タイムベースで CH0 に “ Ping-Pong ” モードを使って、120M/s  
 外部のタイムベースで CH0 に “ Ping-Pong ” モードを使って、130M/s  
 オンボード メモリサイズ  
 SODIMM SDRAM：標準 128MB、最大 512MB  
 FIFO バッファ：3056 サンプル  
 バンド幅 (-3dB)：最低 30MHz  
 入力信号範囲：±5V、±1V (ソフトウェアでプログラム可能)  
 入力連結：DC  
 過電圧保護：

Range	Overvoltage protection
±5V	±14V
±1V	±5V

入力インピーダンス：50 (デフォルト) 1.5M (ハンダ付けで選択可能)  
 システムノイズ：(標準値)

Range	Noise(LSB <sub>rms</sub> )
±5V	1.25
±1V	1.75

混信：<-80dB (1MHz to DC)  
 Total Harmonic Distortion (THD)\*: -75dB  
 Signal-to-noise ratio (SNR)\*:

Range	SNR (dB)
±5V	66
±1V	62

Spurious-free dynamic range (SFDR)\*: 75dB

\*60MS/s、95%のフルスケールの振幅で、200kHz正弦波入力を使って測定

### タイムベースシステム

ソース：内部60MHZ、外部正弦波、SSIタイムベース

外部正弦波ソース：

コネクタ：SMB

インピーダンス：50

連結：AC

入力振幅：1 Vpp to 2Vpp

過電圧保護：2.5Vpp

周波数範囲：

Ping-Pongモード：25MHz～65MHz

その他：500KHz～65MHz

### トリガリング

ソース：ソフトウェア、アナログ、デジタル、SSI

モード：プレトリガー、ミドルトリガー、ポストトリガー、ディレイトリガー

リピートトリガーリアーム間隔：タイムベースの2サイクル

プレトリガー深さ：128MB～512MB（メモリサイズに順ずる）

ポストトリガー深さ：128MB～512MB（メモリサイズに順ずる）

アナログトリガー

ソース：CH0とCH1

斜面：Rising/Falling

連結：DC

トリガー感度：フルスケール電圧範囲における256のステップ

ヒステリシス：全範囲の1.5%

オフセットエラー：全範囲の1.25%



### デジタルトリガー

コネクタ：SMB

斜面：Rising / Falling

互換性：5V/TTL

最小パルス幅：10 ns

### 校正

推薦ウォームアップ時間：15分

オンボード校正参考値：

レベル：5.000V

温度係数：±2ppm/

長期の安定性：6ppm/1000Hr

### 共通仕様

寸法（コネクタを含まず）：175mm by 107mm

I/Oコネクタ：

アナログ入力向けBNC x 2

外部タイムベースと外部デジタルトリガー向けSMB x 2

PCI信号環境：共通仕様、32ビット3.3V、または5V PCIバスをサポート

稼働環境：

周囲温度：0 ~ 50

相対湿度：10% ~ 90%（結露なきこと）

保管環境：

周囲温度：-20 ~ 80

相対湿度：10% ~ 90%（結露なきこと）

電力要求：（標準）

Power Rail	Current (mA)
5V	895
12V	295
3.3V	310 (with 128MB onboard SDRAM memory) 430 (with 512MB onboard SDRAM memory)

表1-4：電力要求



## 1.4 ソフトウェア サポート

ADLINKは、ユーザーがシステムを構築する際に異なったアプローチが出来るよう多種に渡るソフトウェア・ドライバーとパッケージを提供しています。ADLINKは大部分のWindowsベースシステムのDLLのようなプログラミング・ライブラリーだけを提供するだけではなく、LabVIEWの様な他のソフトウェアパッケージのドライバーも提供します。

全てのソフトウェア・オプションは、ADLINK CDに含まれます。無償配布をしていないソフトウェア・ドライバーは、ライセンス・コードによって保護されています。ソフトウェアコードが無くても、試用/デモンストレーション目的で、2時間だけデモ版をインストールし、操作することができます。正式なライセンスを購入するには、ADLINKの代理店に連絡を取って下さい。

### 1.4.1 プログラミング ライブラリー

自らプログラムを書いているお客様向けに、弊社は数多くの異なったオペレーティング・システム向けの関数ライブラリーを提供しています(以下)。

\* WD-DASK : Windows 98/NT/2000/XPのデバイス・ドライバとDLLを含みます。DLLは、Windows 98/NT/2000/XPを通してバイナリ互換が可能です。WD-DASKで開発された全てのアプリケーションは、Windows 98/NT/2000/XP全てと互換性を持っています。開発環境は、VB、VC++、Delphi、BC5または、DLLを呼び出すことのできるその他のWindowsプログラミング言語で構築出来ます。WD-DASKのユーザーズ・ガイドと関数参照マニュアルは、CD ( ¥Manual¥Software Package¥WD-DASK ) のPDFを参照して下さい。

\* WD-DASK/X : デバイスドライバとLinux版共有ライブラリを含みます。開発環境は、Gnu C/C++、共有ライブラリにリンクすることのできる、他のどの様なプログラミング言語でも可能です。WD-DASK/Xのユーザーズガイドと関数参照マニュアルは、CD ( ¥Manual¥SoftwarePackage¥WD-DASK-X ) のPDFを参照して下さい。

### 1.4.2 DAQ-LVIEW PnP: LabVIEWR ドライバー

DAQ-LVIEW PnPは、ナショナルインスツルメンツ社のLabVIEWソフトウェアパッケージ用インターフェースとして使用されるVIsを含みます。DAQ-LVIEW PnPは、Windows 98/NT/2000/XPをサポートします。LabVIEWドライバーは、製品と共に出荷され、無償で配布されます。ユーザーはライセンス認証なしでインストールし、利用することができます。DAQ-LVIEW PnPに関するより詳細な情報は、CD( ¥Manual¥Software Package¥DAQ-LVIEW PnP ) のユーザーズ・ガイドを参照して下さい。

### 1.4.3 WD-OCXR : ActiveX コントロール

ActiveXコントロールとVB/VC++プログラミングに精通しているお客様に、アプリケーション開発のために、WD-OCX ActiveXコントロールコンポーネントライブラリーを使用することを提案します。WD-OCXは、Windows 98/NT/2000/XP向けに設計されました。

WD-OCXに関するより詳細な情報は、CD ( ¥Manual\_PDF¥Software¥WD-OCX¥WD OCX.PDF ) のユーザーズガイドを参照して下さい。

上記ソフトウェアドライバーは、製品と一緒に出荷されます。ドライバーをインストールするために、パッケージの“ソフトウェアインストールガイド”を参照して下さい。

加えてADLINKは、ActiveXコントロール・ソフトウェアDAQBenchを提供します。

DAQBenchは、計測、自動化アプリケーションのためのActiveXコントロール収蔵集です。DAQBenchを使うと、ユーザーは簡単にデータを表示したり、分析したり、他のソースからデータを受け取ったり、メジャーなアプリケーションや他のデータ・ソースと統合することが出来ます。DAQBenchに関するより詳細な情報は、CD

( ¥Manual\_PDF¥Software¥DAQBench¥DAQBenchManual .PDF )のユーザーズガイドを参照して下さい。

### 1.5 ブロック図

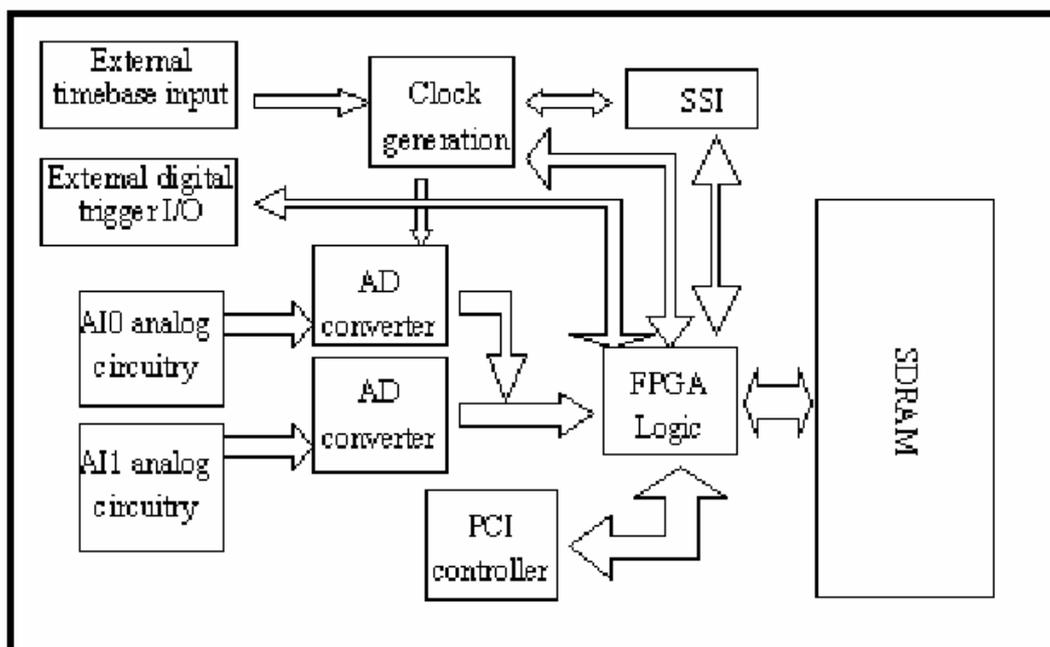


図1-1 : PCI-9820ブロック図



## 2章 インストール

この章では、PCI-9820をインストールする方法を述べます。パッケージの中身と開封情報についても述べます。

PCI-9820は、IRQとポートアドレスによって自動的に認識されます。システム構成を読み込むために、ユーザーはソフトウェアユーティリティ (PCI\_SCAN) を利用することができます。

### 2.1 パッケージの中身

このユーザーズガイドに加えて、パッケージは以下のアイテムを含みます：

PCI-9820 デジタイザ  
ADLINK All-in-one CD  
ソフトウェアインストールガイド

これらのアイテムのいずれかが見当たらないか、または損傷を受けている場合、製品を購入した代理店と連絡を取って下さい。製品を発送したり保管する場合に備えて、輸送用の梱包材やカートンは残して置いて下さい。



## 2.2 開封

PCI-9820カードは、静電気によって簡単にダメージを受けてしまう静電敏感な部品を含みます。したがって、カードは接地された静電気防止マットで取り扱わなければなりません。オペレーターは静電気防止バンドを付け、静電気防止マットと同じ場所に接地した方が良いでしょう。

カードモジュールに明らかな損傷が無いか調べて下さい。輸送時と取扱い方法によっては、カードモジュールに損傷を引き起こしている可能性があります。続ける前にカードモジュールに損傷が無いことを確認して下さい。

カードモジュールカートンを開封後、システムモジュールを取り出し、コンポーネント側が上を向き、それが接地した静電気防止の表面になる様に置いて下さい。

再び、モジュールに損傷が無いか詳しく調べて下さい。全てのソケットICを押して、確実に取り付けられていることを確認してください。これらの動作は、丈夫で平らな場所のみで行って下さい。

カードを設置する準備が出来ました。

---

追記：損傷を受けたボードのご使用はお止めください。

---



## 2.3 PCI構成

### 1 プラグアンドプレイ

プラグアンドプレイ部品として、カードはPCI コントローラを経由して割り込み番号を要請します。システム BIOS は、カード情報と既知のシステムパラメータに基づく割り込みを、割り当てによって返します。これらのシステムパラメータは、インストールされたドライバと、システムに搭載されたハードウェアによって決定されます。

### 2 構成

ボードの構成は、シャーシに搭載されている全ての PCI/PXI ボードに基づき構成されます。構成がシステムとソフトウェアによってコントロールされているので、ベース-アドレス、DMA、割り込み IRQ によって要求されるジャンパー設定はありません。

構成は全てのシステムのブートを条件として、新しいボードが加えられたり、取り除かれた時に変更されます。

### 3 トラブルシューティング

システムが起動しない、あるいは PXI/PCI ボードが不規則な動作をするようであれば、それは割り込み衝突によって起因していると思われます（おそらく、BIOS 設定が誤って構成されています）。一般に解決方法は、それが単純な不注意から起きたことではないとすれば、あなたのシステムに付いている BIOS ドキュメントを参照して下さい。

## 3章 信号接続

この章では、PCI-9820のコネクタと、外部デバイス間との信号接続について述べます。

### 3.1 コネクタ

図3-1は、PCI-9820上のコネクタ位置を示します。コネクタの種類と機能は以下に示します。

**CLK IN**： SMBコネクタは50 の、AC連結の外部参照タイムベース入力です。

**TRG IO**： SMBコネクタは、外部デジタルトリガー入力、または出力向けです。

**CH0**： BNCコネクタは、チャンネル0上で計測する為、アナログ入力信号を付帯します。

**CH1**： BNCコネクタは、チャンネル1上で計測する為、アナログ入力信号を付帯します。

**SO-DIMM**： SO-DIMMコネクタは、144-ピンSDRAM SODIMMを挿します。

SSI : SSIコネクタは、複数枚のカードを同期させるシステム同期インタフェースです。信号配置は、以下の通りに記述されます :

Signal Name	Direction	Description	Location
SSI_TIMEBASE	Input/Output	60MHz timebase signal through SSI	pin 1
SSI_TRIG1	Input/Output	Trigger signal through SSI	pin 11
SSI_TRIG2	Input/Output	Clocked trigger signal through SSI	pin 9
SSI_START_OP	Input/Output	Acquisition start signal in pre-trigger or middle-trigger mode	pin 7
GND	--	Ground	pins 2, 4, 6, 8, 10, 12, 14, 16, 18, 20
NC	--	No Connection	pins 3, 13
Reserved	Input/Output	Reserved for future use	pins 5, 15, 17, 19

表3-1 : 信号配置

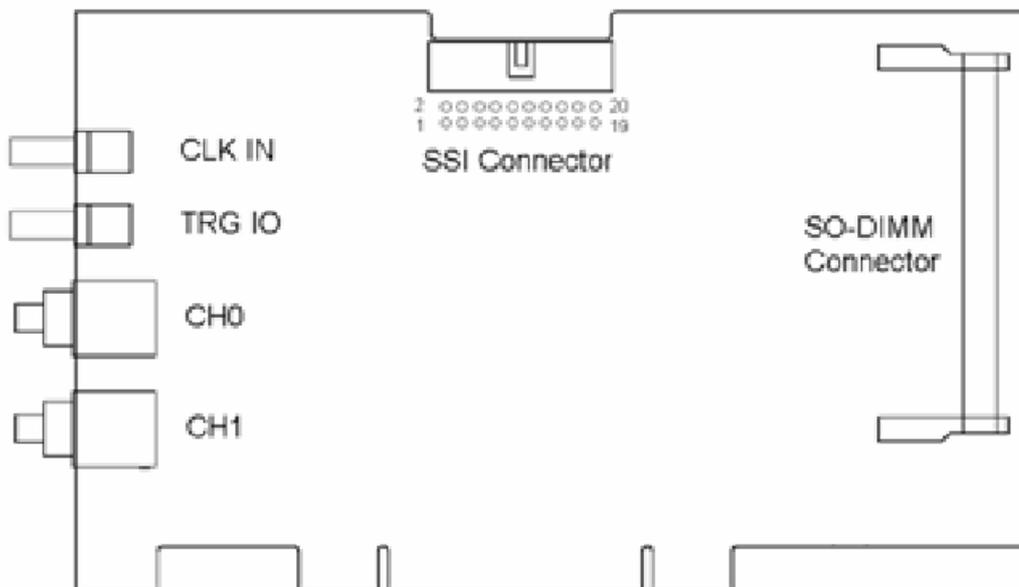


図3-1 : コネクタ位置

### 3.2 アナログ入力のインピーダンス設定

#### 3.2.1 アナログ入力のインピーダンス設定

CH0とCH1入力インピーダンスは、PCI-9820の後部のギャップスイッチJ6とJ7を半田付けすることによって、50 または1.5MΩ を選択することが出来ます。J6、J7の位置と対応する入力インピーダンス設定は、図3-2、表3-2で示されます。デフォルトの設定は、50 の入力インピーダンスです。

J6	CH0 Input Impedance	J7	CH1 Input Impedance
Open	High (1.5MΩ)	Open	High (1.5MΩ)
Close (Default)	Low (50Ω)	Close (Default)	Low (50Ω)

表3-2：半田スイッチの位置

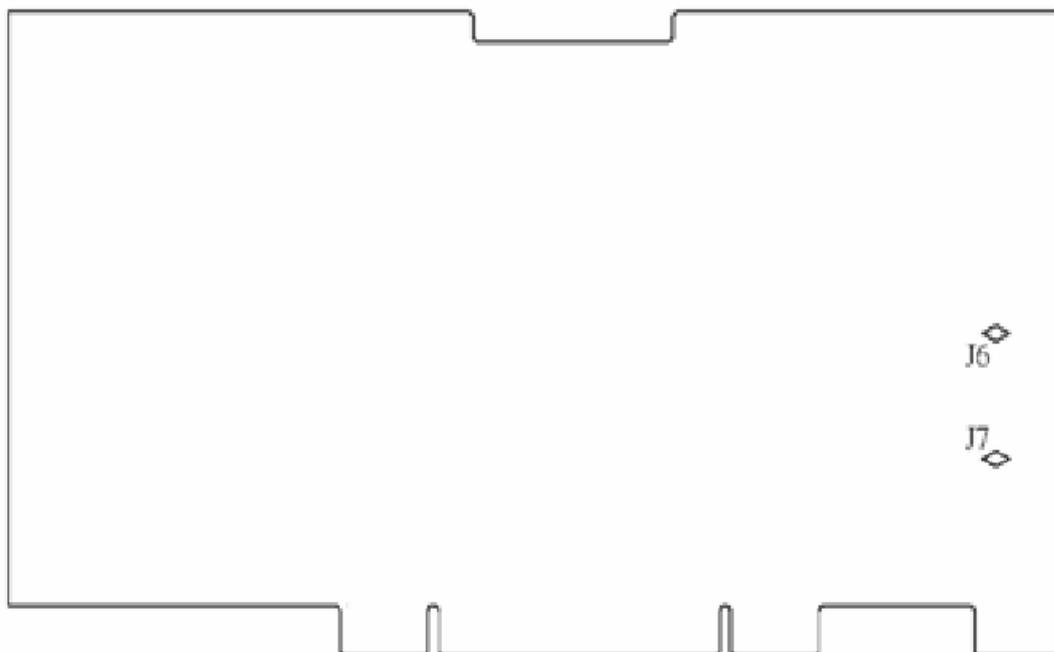


図3-2：半田スイッチの位置

**注意：**高い入力インピーダンス（1.5MΩ）を選択した場合、信号源の出力インピーダンスは、入力バイアス電流（最小2μAから最大 25μA）に起因する、オフセット電圧を避ける為、低いままにしなければなりません。

## 4章 動作論理

PCI-9820の動作論理はこの章に記述します。信号ソース、タイムベースソース、トリガースソース、トリガーマード、データ転送、複数枚のカードの同期化と自動校正、の制御と設定を含みます。

### 4.1 アナログ入力信号ソースコントロール

#### チャンネル数

PCI-9820は、SE (Single-ended) 接続で同時サンプリングアナログ入力を2チャンネル提供します。各々のチャンネルは、個々に使用することが出来ます。

#### 信号範囲と入力インピーダンス

利用出来る信号の入力範囲は $\pm 5V$ または $\pm 1V$ で、ソフトウェアによって設定することが可能です。全ての信号は直流連結です。高速アプリケーションの入力インピーダンスも、また考慮しなければなりません。選択可能な入力インピーダンス値は、50 と1.5M です。詳細は第3.2節 (アナログ入力のインピーダンス設定) を参照して下さい。

### 4.2 A/Dサンプリングレートとタイムベースソースコントロール

PCI-9820は、3つのタイムベースソースをアナログ入力変換に対してサポートしています：

内部60MHz

外部正弦波

SSIタイムベース

一旦タイムベースソースを選択すると、必要とするサンプリングレートを獲得するために、ユーザーは、タイムベースを分割する為、24ビットのカウンターをセット出来ます。以下の公式によりADCサンプリング周波数を確定します：

$$\text{Sampling Rate} = \text{Timebase Frequency} / \text{ADC Clock Divisor}$$

ADC Clock Divisor = 1,2,3,4,5... $2^{24}$ -1(最大)

SSIタイムベースに関するより詳細な情報は、第4.5節 (データ転送) を参照して下さい。

#### 4.2.1 外部正弦波クロックソース

ユーザーは外部SMBコネクタCLK IN (正弦波信号) からタイムベースを供給することができます。この信号は50の入力インピーダンスに直結するACであり、有効な入力レベルは、1ボルトから2ボルト最大値から最大値です。外部クロックは、ADCのパイプライン構造によって、正しいADCの動作の為に連続的でなければならない点に注意して下さい。

#### 4.2.2 「Ping-Pong」モードを使用して130MS/sサンプリング

PCI-9820は2つのA/Dコンバータ(各々60MS/s)を用いて、60MS/sの二重チャンネル同時リアルタイムサンプリングレート(外部タイムベースで65MS/s)を提供します。

シングルチャンネルのデータ収集では、2つのADCsで「Ping-Pong」モードを使って、最大120MS/sサンプリング(外部タイムベースで130MS/s)を達成する事が可能です。

CH0だけにPing-Pongモードを適用することができる点に注意してください。

ボードに搭載の自動校正回路は、2つのチャンネルがイメージ信号を減らすために競争させません。

### 4.3 トリガーモード

PCI-9820は、4つのトリガーソース(内部ソフトウェアトリガー、外部アナログトリガー、外部デジタルトリガーと、SSIトリガー信号)を提供します。ユーザーはそれらのうちの一つをトリガーイベントのソースとして選択しなければなりません。選択したトリガーソースに明確な状態が検地された時(例えば、外部デジタルトリガー入力のエッジが上昇している時)にトリガーイベントは起こります。トリガーソースの詳細については、第4.4節を参照して下さい。

#### 4.3.1 ポストトリガー収集

図4-1で例示されるようにトリガーイベント後、データを収集を行いたい時、ポストトリガー収集を使用して下さい。

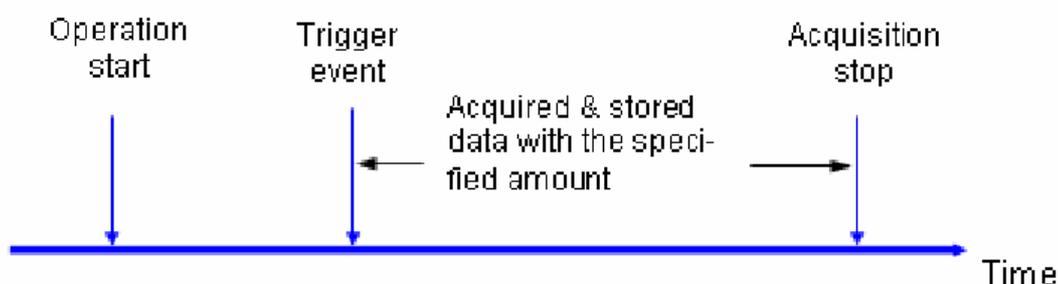


図4-1：ポストトリガー

### 4.3.2 プレトリガー収集

トリガーイベント前にデータを収集するために、プレトリガー収集を使用して下さい。プレトリガー操作を開始する為に一度指定機能の呼び出しが実行されると、データ収集は開始され、トリガーイベントが起こるとデータ収集は停止します。

指定したデータ量が得られた後トリガーイベントが起こると、システムは図4-2で示される通り、トリガーイベントの前に指定量のデータを格納するだけです。

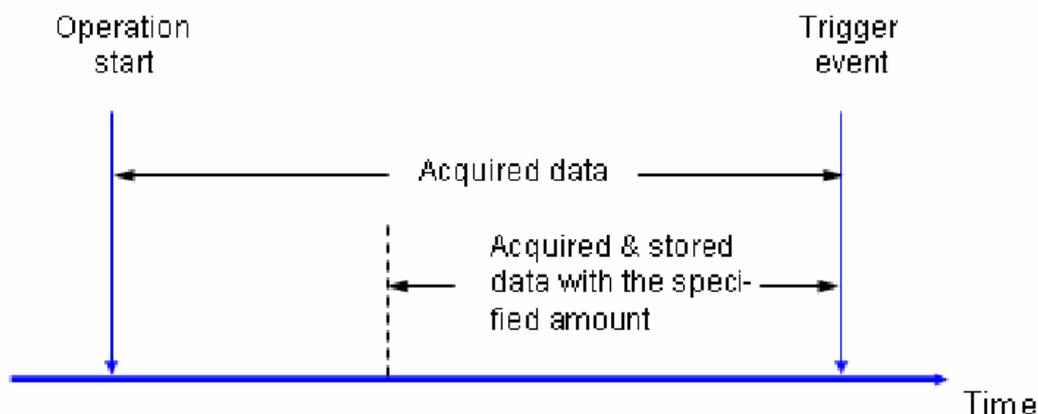


図4-2：プレトリガー（指定量のデータが得られた後、トリガーイベントが起こります）

しかしながら、データの指定量が得られる前にトリガーイベントが起こると、システムはすぐにデータ収集を停止するか（それは、格納されたデータが指定した量より少ない事を意味します） または指定量のデータが得られるまでトリガー信号を無効にすることが出来ます（それは、ユーザーが指定した量のデータを獲得することが出来ることを保証します）。これらはソフトウェアによって設定することが可能で、図4-3と図4-4に例示します。

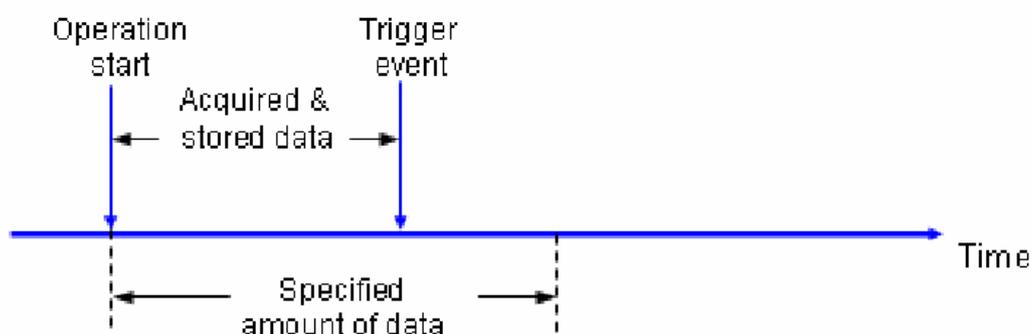


図4-3：プレトリガー（操作を開始した後、いつでもトリガー信号を受け入れます）

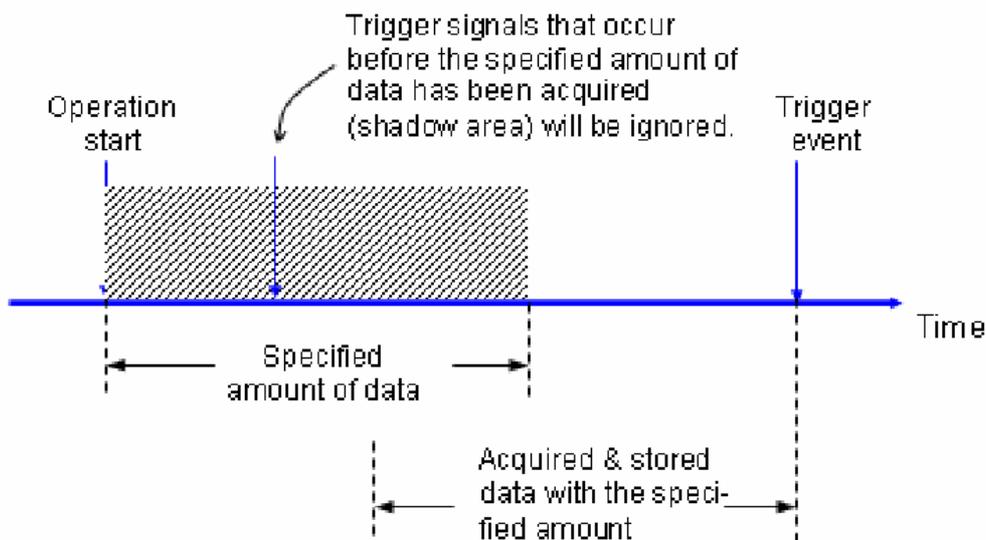


図4-4: プレトリガー（データの指定量が得られるまで、トリガー信号は無効となります）

#### 4.3.3 ミドルトリガー収集

トリガーイベント前後にデータを収集したい時、ミドルトリガー収集を使って下さい。図4-6で示す様に、トリガー前後に格納された量のデータは、別々に設定することが出来ます（MとN）。

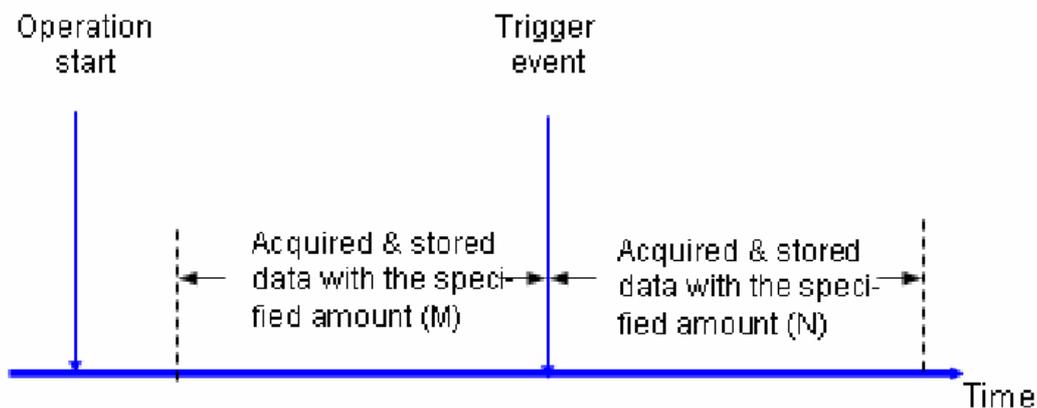


図4-5: ミドルトリガー

プレトリガーモードの様に、トリガーイベントが指定した量のデータ（M）が格納される前に起こると、格納されたデータは指定した量より少ないかもしれません。ユーザーは、指定したデータ量（M）が獲得できるまで、プログラムを設定してトリガー信号を無効にすることもできます。

#### 4.3.4 デイレトリガー収集

図4-6に示すように、トリガーイベントの後データ収集を遅らせるために、ディレトリガー収集を使用して下さい。最小遅延時間がタイムベース期間になる一方で、最大遅延時間がタイムベース \* (2<sup>32</sup>-1) 期間になるように、遅延時間は32ビットカウンタ値によって指定されます。

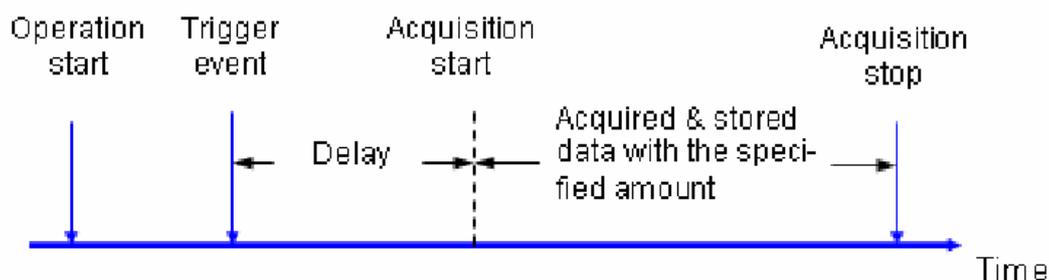


図4-6 : デイレトリガー

#### 4.3.5 リトリガー付きディレトリガー収集のポストトリガー

図4-7で例示されるように、幾つかのトリガーイベントの後データ収集を行う為に、再トリガー機能を用いて、ポストトリガーまたはディレトリガー収集を使用して下さい。ユーザーはトリガーの数をプログラムすることができ、要請した全ての記録がメモリに保管されるまで、トリガーが受け入れられるたびに、PCI-9820は追加して記録を獲得します。最初のセットアップ後、プロセスはソフトウェアの干渉を必要としなくなります。

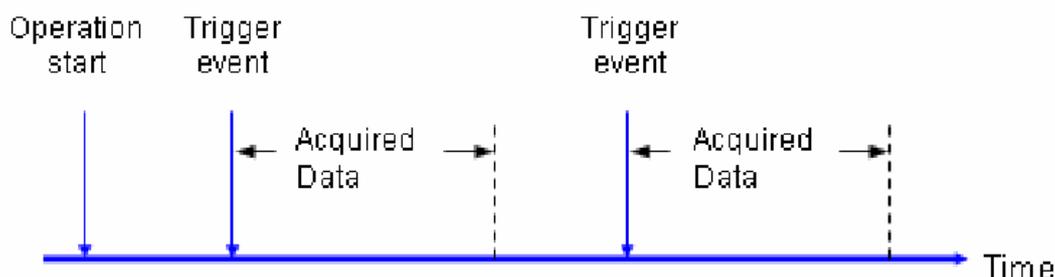


図4-7 : リトリガー付きポストトリガー

#### 4.4 トリガーソース

内部ソフトウェアトリガーに加えて、PCI-9820は外部アナログ、デジタルトリガー、SSIトリガーもサポートします。ユーザーは、ソフトウェアによってトリガーソースを構成することができます。SSIトリガーの操作については、第4.7節を参照して下さい。

##### 4.4.1 ソフトウェアトリガー

このトリガーモードは、外部トリガーソースを全く必要としません。トリガーは操作を開始するために、指定機能の要求を実行後、正常を宣言します。

##### 4.4.2 外部アナログトリガー

外部アナログトリガーソースを使っている間、ユーザーはCH0かCH1をトリガー信号として選択することができます。トリガーレベルは、8ビットの分解能でソフトウェアにより設定することができます。理想的な転送特性については、表4.1を参照して下さい。

Trigger Level digital setting	Trigger voltage (±5V range)	Trigger voltage (±1V range)
0xFF	4.96V	0.992V
0xFE	4.92V	0.984V
---	---	---
0x81	0.04V	0.008V
0x80	0	0
0x7F	-0.04V	-0.008V
---	---	---
0x01	-4.96V	-0.992V

表4-1：アナログトリガーの理想的な転送特性

アナログトリガーのトリガー条件については、図4-8で例示、また以下の通り記述します：

**ポジティブスロープトリガー**      トリガー信号(アナログ入力信号)が指定トリガーレベルより低い電圧から高い電圧に変わるとき、トリガーイベントが起こります。

**ネガティブスロープトリガー**      トリガー信号(アナログ入力信号)が指定トリガーレベルより高い電圧から低い電圧に変わるとき、トリガーイベントが起こります。

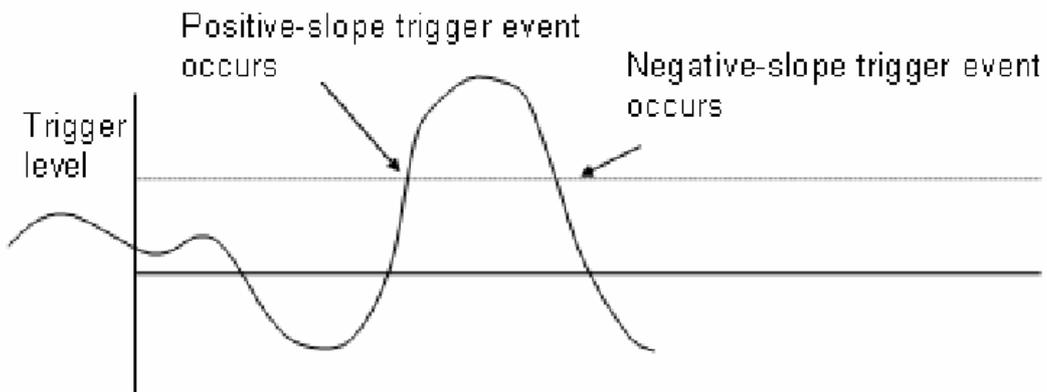


図4-8 : アナログトリガー条件

#### 4.4.3 外部デジタルトリガー

図4-9で例示されるようにTTL Risingエッジ、またはFallingエッジがフロントパネルのSMBコネクタTRG 10で検地される時、外部デジタルトリガーが発生します。トリガーの両極性はソフトウェアにより選択されます。外部デジタルトリガー信号の信号レベルは、TTLと互換性がなければならない点に注意して下さい、また、最小パルス幅は10nsです。

トリガーソースが、ソフトウェア、アナログトリガー、またはSSIトリガーから出力されるとき、トリガー信号を出力するためにフロントパネルのTRG 10をプログラムすることも出来ます。タイミング特性は、図4-10に示します。



図4-9 : 外部デジタルトリガー入力

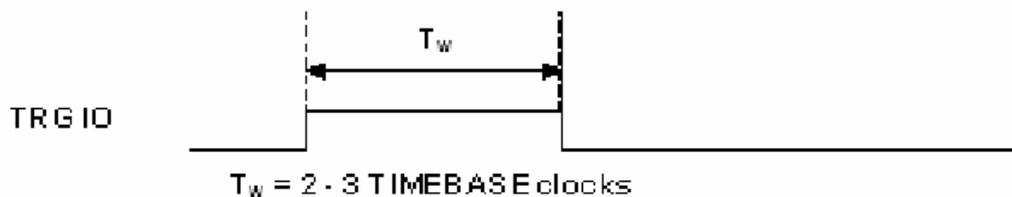


図4-10 : TRG 10 出力信号タイミング

#### 4.5 データ転送

PCI-9820 (60MS/s \* 2チャンネル\* 2 Bytes/チャンネル= 240MB/s) の最大データスループットが、32ビット/33MHzのPCIバスのバンド幅より非常に高いので、サンプルはホストコンピュータへ転送される前にオンボードSDRAMメモリに格納されます。

収集毎に保存されるサンプルの数が、オンボードメモリの容量により制限されるため、PCI-9820は、アプリケーションによる必要条件を満たす為に、128MBから512MBにわたるSODIMM SDRAMの異なった容量をサポートしています。

一旦全てのデータがオンボードメモリに格納されると、バス・マスタリングDMAを通して、データはホストコンピュータのメモリへ転送します。

Microsoft Windows、Linuxといった、マルチユーザー-或いはマルチタスクOSでは、DMA転送のための大きな連続メモリブロックを割り当てることは難しいため、PCI-9820は、非連続メモリブロックをリストと結合するために、スキヤッタ・ギャザDMA機能を提供します。これは、図4-11で例示されるように、小さい容量のメモリーの断片によって制限されること無くかなり多くのデータを転送することが出来ます。

PCI-9820のデータスループットが、利用できるPCIバンド幅より小さい場合(例: 20MS/s \* 2チャンネル\* 2 Bytes/チャンネル= 80MB/s)、SDRAMを回避して直接ホストメモリへ転送する、リアルタイム転送を行う為のオンボード3k-サンプルFIFOも特徴としています。

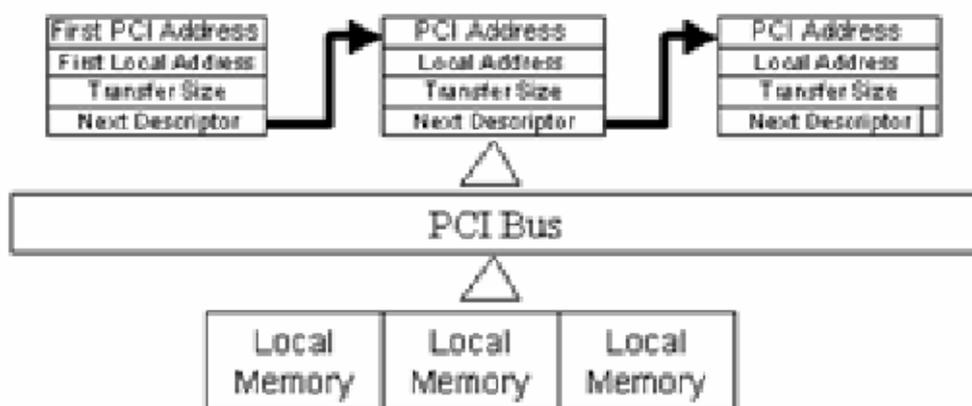


図4-11：データ転送の為のスキヤッタギャザ DMA

#### 4.6 AI データフォーマット

表4.2は、PCI-9820の様々な入力範囲の理想的な転送特性を例示します。bit14が範囲外の指標（Logic「1」は、out-of-rangeを意味します）である一方、Bit13-0はバイナリのコーディングフォーマットにより収集した14ビットのA/Dデータです。

Description	Analog Input Voltage		Digital code
Full-scale Range	±5V	±1V	
Least significant bit	0.61mV	0.122mV	
> = FSR	>= 5V	>= 1V	7FFF
FSR-1LSB	4.99939V	0.999878V	3FFF
Midscale +1LSB	0.61mV	0.122mV	2001
Midscale	0V	0V	2000
Midscale -1LSB	-0.61mV	-0.122mV	1FFF
-FSR	-5V	-1V	0000
< -FSR	< -5V	< -1V	4000

表 4-2 : アナログ入力電圧とデジタル出力コード (bit14は範囲外の指標です)

#### 4.7 複数のPCI-9820を同期させる

SSI (System Synchronization Interface コネクタ位置は第3.1節を参照して下さい) は、複数のカード間でのタイミング同期を提供します。ユーザーは特殊なリボンケーブル (ACL-SSI) を使って、デジチェーン構成で全てのカードを接続することができます。

双方向性 SSI I/Oはカード間の柔軟な接続を提供します。また、PCI-9820の1台のSSI マスタは、最大3台のスレーブPCI-9820まで、SSI信号を出力させることができます。表4.3は、SSIタイミング信号と機能の概要を提示します。

SSI timing signal	Functionality
SSI_TIMEBASE	Input/Output 60MHz timebase signal through SSI
SSI_TRIG1	Input/Output the trigger signal through SSI
SSI_TRIG2	Input/Output the clocked trigger signal through SSI
SSI_START_OP	Input/Output the acquisition start signal in pre-trigger or middle-trigger mode

表4-3 : SSIタイミング信号と対応する機能の概要

##### 4.7.1 SSI\_タイムベース

出力として、SSI\_タイムベース信号は、SSIコネクタを通してオンボード60MHzのLVTTTL タイムベースを出力します。外部正弦波SMBコネクタ入力から発生したタイムベースは、SSI\_TIMEBASEで送られないことに注意して下さい。

入力として、PCI-9820はSSI\_タイムベース信号をタイムベースソースとして受け入れます。

##### 4.7.2 SSI\_TRIG1

出力として、SSI\_TRIG1信号は、収集の流れにおいてトリガーイベント信号を反映させます。トリガーイベントと収集の流れの関係については、図4.1-図4.7を参照して下さい。ユーザーはSSI\_TRIG1信号を出力するために、SSI\_SourceConn ( ) 関数を使うことができます。

入力として、PCI-9820はトリガーイベントソースになるSSI\_TRIG1信号を受け入れます。信号はRisingエッジ検地モードで構成されます。PCI-9820のトリガーソースを選択する時、ユーザーは、トリガーイベントソースとしてSSI\_TRIG1をセットするために、TRSRC\_SSI\_1を選択することができます。

図4-12と図4-13は、入出力タイミングの必要条件を例示します。

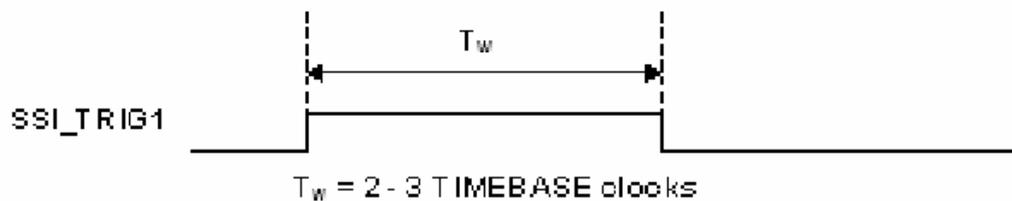


図4-12 : SSI\_TRIG1出力信号タイミング

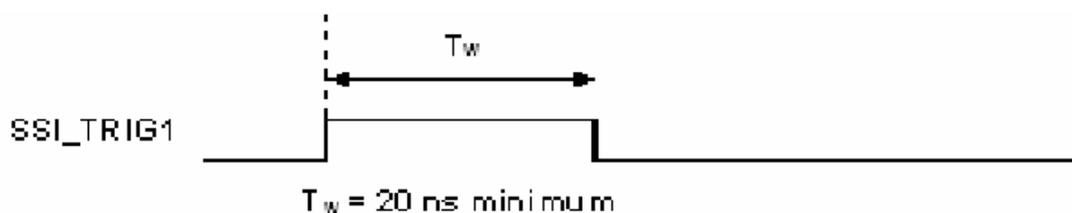


図4-13 : SSI\_TRIG1入力信号タイミング

#### 4.7.3 SSI\_TRIG2とSSI\_START\_OP

出力として、図4-14で例示される様に、SSI\_TRIG2信号はタイムベースにより計測されたSSI\_TRIG1信号です。

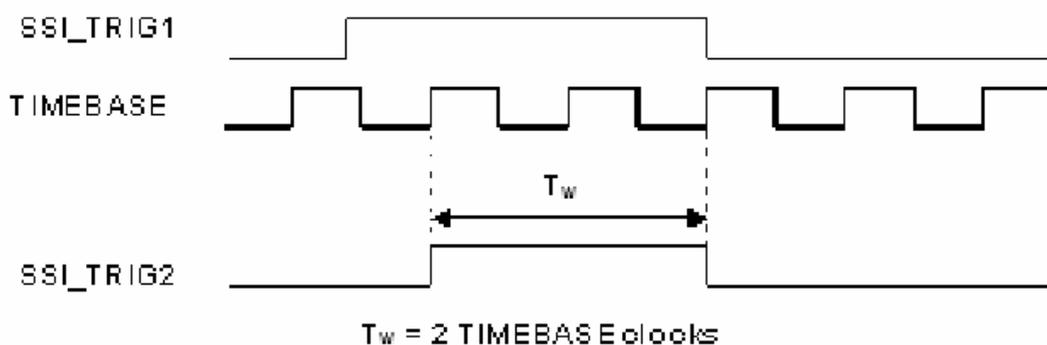


図4-14 : SSI\_TRIG2出力信号タイミング

入力として、PCI-9820はSSI\_TRIG2信号が、One-Clockディレイトリガーイベントソースになることを認めます。トリガーイベントソースとしてSSI\_TRIG2を使うならば、PCI-9820のコントローラはOne-clockディレイを補います。信号は、Risingエッジ検地モードで構成されます。

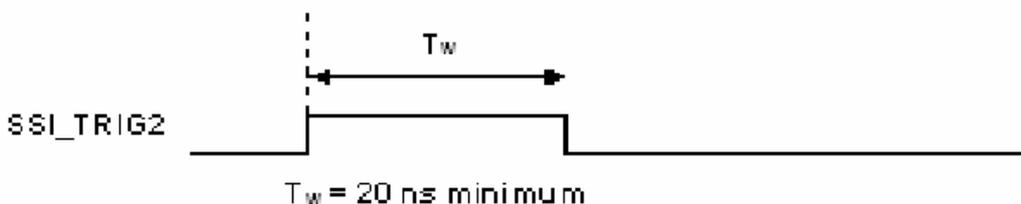


図4-15 : SSI\_TRIG2入力信号タイミング

出力として、SSI\_START\_OP信号は、操作開始信号となるプレトリガー、ミドルトリガー、収集シーケンスとして受け入れます。信号はRisingエッジ検地モードとして構成されます。図4-16と図4-17は、SSI\_START\_OPの信号入力と出力タイミングの必要条件を示します。出力操作を開始するために、ユーザーはSSI\_SourceConn ( ) 関数を使って、SSI\_TRIG2とSSI\_START\_OP信号を出力することが出来ます。

入力操作のために、ユーザーはTRSRC\_SSI\_2を選択し、トリガーイベントソースと操作開始信号として、SSI\_TRIG2 とSSI\_START\_OPを設定することが可能です。

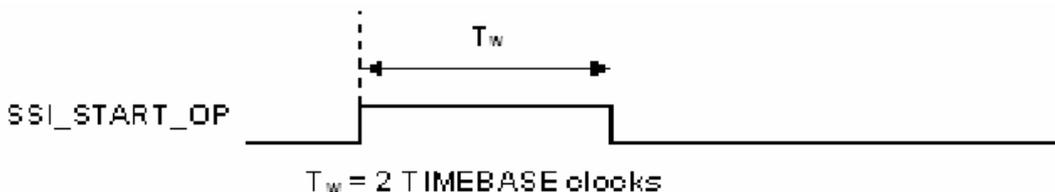


図4-16 : SSI\_START\_OP出力信号タイミング

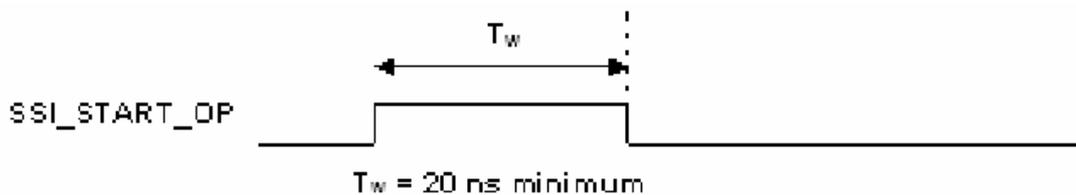


図4-17 : SSI\_START\_OP入力信号タイミング

#### 4.7.4 SSIから異なるトリガースソースを比較する

TRSRC\_SSI\_1をトリガースソース入力として選ぶ時、SSI\_TRIG1信号は、収集シーケンスでトリガーイベント信号を反映します。しかし、複数枚のPCI-9820を同期させる時、信号がタイムベースと関連が無い為に各々のPCI-9820は、oneclockの時差としてトリガー信号を認識するかもしれません。

プレトリガーモードとミドルトリガーモードでTRSRC\_SSI\_2を使うときに、もう一つ他の現象があります。複数枚のPCI-9820が同時にデータ収集を開始しないように、ソフトウェア命令によって操作スタート信号を発生させます。もし、データの指定量が得られる前にトリガーイベントが起こると、保存されたサンプルの量が異なるという現象が起きるかもしれません。

TRSRC\_SSI\_2をトリガースソース入力として選択すると、SSI\_TRIG2と、SSI\_START\_OPIは複数枚のPCI-9820間でより良い同期を成し遂げることが出来ます。計測されたSSI\_TRIG2は、同じタイムベースを使えば、全てのPCI-9820が同じクロックエッジでトリガーイベントを認識することを保証出来ます。プレトリガーモードとミドルトリガーモードにおけるSSI\_START\_OPIは、全てのPCI-9820が、同時にデータ収集を開始することを保証します。

#### 4.8 自動校正

PCI-9820に搭載されている自動校正機能を用いると、校正ソフトウェアは外部信号接続、参照電圧、または計測装置なしに、計測し、オフセットやゲインエラーを修正することが出来ます。

自動校正手順が終わると、校正定数はEEPROMに保存されます。工場出荷時の校正定数のデフォルトバンクに加えて、3つのユーザー修正可能な余剰バンクがEEPROMに有り、ユーザーの異なる環境に応じて3つの校正定数を保存し、必要な時に校正定数を再ロードします。

測定エラーは時間と温度により変化するので、新しい環境にカードを取り付ける時は、PCI-9820を再び校正することを推奨します。

---

注意：自動校正手順を始める前に、最低15分間はカードを暖機運転してください。

---